

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-187981

(43)公開日 平成9年(1997)7月22日

(51)Int.Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
B 41 J	2/44		B 41 J 3/21	L
	2/45		H 01 L 33/00	N
	2/455		H 04 N 1/036	A
	2/30		B 41 J 3/10	114 C
	H 01 L 33/00			

審査請求 未請求 請求項の数2 OL (全5頁) 最終頁に続く

(21)出願番号 特願平8-592

(22)出願日 平成8年(1996)1月8日

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 谷岡 宏

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

(72)発明者 大坪 傑彦

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

(72)発明者 綱本 遼

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

(74)代理人 弁理士 山下 鶴平

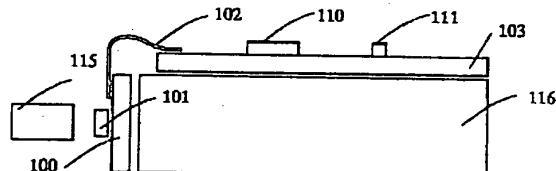
最終頁に続く

(54)【発明の名称】 記録ヘッド

(57)【要約】

【課題】 自己走査形記録素子、あるいは、時分割駆動が可能である記録素子アレイと、この記録素子を駆動する駆動I C間の接続本数を削減し、より安価で信頼性の高い記録ヘッドを提供する。

【解決手段】 多数個の記録素子を線状に配列・実装した第1基板と、前記記録素子を駆動する駆動部を有する第2基板と、両基板間を電気的に接続する接続手段とを具有する記録ヘッドにおいて、前記記録素子に共通する駆動信号を供給する信号線を、前記接続手段を介して、第2基板から第1基板に導通せると共に、前記第1基板では、各記録素子に対して、前記信号線から並列に供給する分岐信号線が設けられていることを特徴とする。



【特許請求の範囲】

【請求項1】 多数個の記録素子を線状に配列・実装した第1基板と、前記記録素子を駆動する駆動部を有する第2基板と、両基板間を電気的に接続する接続手段とを具有する記録ヘッドにおいて、前記記録素子に共通する駆動信号を供給する信号線を、前記接続手段を介して、第2基板から第1基板に導通させると共に、前記第1基板では、各記録素子に対して、前記信号線から並列に供給する分岐信号線が設けられていることを特徴とする記録ヘッド。

【請求項2】 前記接続手段はフレキシブル配線基板であり、その配線パターンの一部に、前記共通の信号線が割り当てられていることを特徴とする請求項1に記載の記録ヘッド。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、複写機、ファクシミリ装置、プリンターなどにおいて、発光素子などの記録素子を多数、搭載した記録素子アレイを用いて、画像記録を行う装置の記録ヘッドに関するものである。

【0002】

【従来の技術】 従来から、これら装置の記録ヘッドにおいて採用されている、代表的なLED記録素子アレイは、各記録素子に対応して、1駆動回路が装備されており、通常、その駆動回路を多数、集積した駆動ICチップは、記録素子アレイのチップに対して、平行に隣接した位置に配置され、両チップ間では、それぞれに設けたボンディングパッドにボンディングワイヤを直接的に接続している。

【0003】 また、装置を安価に実現する手段として、記録素子の使用効率、例えば、発光素子の発光効率を高めるために、これを時分割で駆動するように駆動回路を構成し、駆動ICチップと記録素子アレイチップとの間のボンディングワイヤの数(接続配線数)を減少させることも行われている。また、記録素子を線状に多数配列した基板と、前記記録素子を駆動する駆動ICが実装された基板とを分割し、両者間をフレキシブル配線基板で接続することも提唱された。

【0004】

【発明が解決しようとする課題】 このように、自己走査形記録素子、あるいは、時分割駆動が可能である記録素子アレイを駆動する駆動ICでは、従来の1対1に対応する駆動回路を有する駆動回路に比べて、担当する記録素子数が極めて多くなるために、駆動ICチップと、対応する記録素子アレイチップとの間は、先ず、駆動ICチップの入出力端子を、一旦、配線基板に接続し、基板上の配線パターンから、フレキシブル配線基板を介して、記録素子アレイを有する基板の配線パターンに接続し、その配線パターンから各記録素子アレイチップに接続するような電気的接続構造が採用される。

【0005】 本発明は、上記事情に基づいてなされたもので、その目的とするところは、自己走査形記録素子、あるいは、時分割駆動が可能である記録素子アレイと、この記録素子を駆動する駆動IC間の接続本数を削減し、より安価で信頼性の高い記録ヘッドを提供することにある。

【0006】

【課題を解決するための手段】 そこで、本発明においては、これら従来の問題を解消するため、多数個の記録素子を線状に配列・実装した第1基板と、前記記録素子を駆動する駆動部を有する第2基板と、両基板間を電気的に接続する接続手段とを具有する記録ヘッドにおいて、前記記録素子に共通する駆動信号を供給する信号線を、前記接続手段を介して、第2基板から第1基板に導通させると共に、前記第1基板では、各記録素子に対して、前記信号線から並列に供給する分岐信号線が設けられていることを特徴とする。

【0007】

【発明の実施の形態】 以下に、本発明の実施の形態として、600DPIの密度で記録可能な電子写真方式の記録ヘッドを例に挙げて、具体的に説明する。この記録ヘッドは、発光サイリスタを各々128画素分、直線配列し、それ自体に自己走査機能を有する発光素子(これは、特開平1-238962号公報、特開平2-208067号公報等に所載の、Self-scanning-Light Emitting Deviceとして知られている)を、55個、線状に実装したものである。

【0008】 この記録ヘッドの概略の構成及び機能を、図4ないし図6を参照して、説明する。図6は、各発光

サイリスタ1、2、3…128を直線状に配列した発光素子アレイチップ1-1、1-2、1-3…1-55と、各発光サイリスタに対応した転送用サイリスタ1'、2'、3'…128'を有する転送用素子アレイチップ2-1、2-2、2-3…2-55と、ラッチ3-1、3-2、3-3…3-55と、シフトレジスタ4-1、4-2、4-3…4-55とよりなる自己走査機能を有する発光素子全体を模式的に示したものである。

【0009】 また、図4は、各発光サイリスタ1～128、これに対応する転送用サイリスタ1'～128'などの構成素子を有する自己走査機能を有する発光素子(以下、1個の発光素子チップと称する)の一部の等価回路を、また、図5は、その駆動タイミングチャートを、それぞれ、示すものである。なお、図中、R1～R5およびD1～D5は、それぞれ、各発光サイリスタ1～5および各転送用サイリスタ1'～5'に対応した抵抗およびダイオードである。

【0010】 なお、前記発光素子アレイチップは、各々、自己走査し、発光するための制御信号 ϕ_s 、 ϕ_1 、 ϕ_2 を前記転送用素子アレイチップの回路より与えられ

3
る。なお、駆動タイミング信号 $\phi 1$ は転送用サイリスタの内、奇数番目のカソード端子に、また、駆動タイミング信号 $\phi 2$ は偶数番目のカソード端子に、それぞれ、供給される。一方、記録画像信号は、シリアルに信号線10から与えられるが、この信号は、先ず、前記シフトレジスタ4-1に入力され、順次、次のシフトレジスタ4-2、4-3…4-55へと転送される。

【0011】即ち、スタートパルス信号 ϕs が、ローレベルからハイレベルHになると、発光素子の動作がスタートする。スタートパルスがH状態で、駆動タイミング信号 $\phi 1$ がハイレベルHからローレベルLになると、 $\phi 1$ がオン状態となる。この転送最初の転送用サイリスタ1'がオン状態で、ゲート電圧がアノード電位(約5V)となるので、次のタイミングで、記録信号 $\phi 1$ がハイレベルHからローレベルLとなれば、発光サイリスタ1'がオンし、発光するが、他の発光サイリスタは、そのゲート電圧が5Vでないため、オン状態にならず、発光しない。

【0012】また、記録信号 $\phi 1$ がローレベルLからハイレベルHに戻ると、発光サイリスタ1'はオフとなる。そして、次のタイミングで、駆動タイミング信号 $\phi 2$ がハイレベルHからローレベルLになると、次の転送用サイリスタ2'がオンする。これは、転送用サイリスタ1'のゲート電圧(約5V)が、そのゲートに接続されているダイオードを介して、転送用サイリスタ2'のゲート(電圧は約3.6V)に接続されていて、この状態で、駆動タイミング信号 $\phi 2$ をローレベルLとすると、転送用サイリスタ2'のオン条件が整うからである。

【0013】次に、駆動タイミング信号 $\phi 1$ をローレベルLからハイレベルHにすると、転送用サイリスタ1'はオフするが、転送用サイリスタ2'はオン状態のままであり、記録信号 $\phi 1$ が入ると、2番目の発光サイリスタ2'がオンし、発光される。これを64回繰り返すこと、128個の発光サイリスタが順次、走査され、画像信号に応じた点灯が選択的に行えるのである。

【0014】このようにして、1ライン分の7040個の記録画像信号が転送された後、各発光素子チップの発光素子1から128を駆動する128個の画像信号は、それぞれ、ラッチ3-1~3-55で、並列に保持され、信号線5-1~5-55から、シリアル信号 $\phi 1$ に変換して、発光素子チップ1-1ないし1-55を駆動することになる。

【0015】上述の事例からも明らかなように、128素子を1アレイチップとしていて、そのチップを駆動するに、制御信号 ϕs 、 $\phi 1$ 、 $\phi 2$ および画像信号に応じた駆動信号(記録信号) $\phi 1$ の、全部で4本の信号が必要で、例えば、5個の駆動ICが $11 \times 5 = 55$ 個が必要で、 $5 \times 4 = 20$ の駆動信号が必要となる。この配線を1mピッチのフレキシブル配線基板を用いて、基板間を接続する

続するなら、その基板の端部の全幅は、少なくとも220mm以上となるから、フレキシブル配線基板自体のコストが上がり、また、実装精度の観点から、コスト高となる嫌いがある。

【0016】そこで、1つの駆動ICに、11チップの発光素子チップアレイを担当させ、11チップの各発光素子チップアレイ内の走査を全て並列動作とすれば、走査のための駆動信号(制御信号) ϕs 、 $\phi 1$ 、 $\phi 2$ は、全て共通信号として扱える。即ち、上述の構成では、各発光素子チップに独立に供給していた走査のための信号を供給するための信号線を11チップに対して1組とし、発光チップ近傍で並列接続すれば、全配線本数は $\phi 1$ が55本、走査信号 ϕs 、 $\phi 1$ 、 $\phi 2$ が $3 \times 5 = 15$ 本、合計で70本となり、従前の1/3以下とすることができる。この場合のフレキシブル配線基板の幅は約70mm(1mmピッチで)となる。更に、5分割すれば、11チップの発光素子チップアレイ(幅が約60mm)毎に対応するフレキシブル配線基板の幅は約14mm有ればよいことになる。この状態が、以下で詳述するよう、図1ないし図3の実施の形態で示されている。

【0017】図1は、本発明に係わる記録ヘッドの構成を模式的に示しており、ここで、符号100は、発光サイリスタを搭載した発光素子チップ101を多数、備えた第1基板であり、符号110は、多数の入出力端子を有する駆動ICチップであって、5個が、それぞれ、5個の限流抵抗111と共に、第2基板103に装備されており、前記基板100および103は、ブロック形のアルミの基材116の側面及び上面に装着されてい

る。

【0018】所要のグループ(11個を1グループとする)に分けられた発光素子チップアレイに対応して、これららの基板100および103の間には、5個のフレキシブル配線基板102が、90度に湾曲された状態で、そこに形成した配線パターンの端末の端子部を各基板100および103の配線パターンの端子部に半田熱溶着して、架設されており、これによって、各14本の、11チップの発光素子チップを駆動するための制御信号を、第2基板103から第1基板100に供給している。なお、図中、符号115は発光素子チップに対応する集束形光ファイバアレイであって、これにより、感光材面上に記録ドットを照射する。

【0019】本発明の実施の形態では、図3に示すように、特に、11組の記録素子チップアレイに共通する駆動信号を供給する信号線201、202、203を、接続手段としてのフレキシブル配線基板、ここでは、転送用素子アレイチップ2-1から、前記5個のフレキシブル配線基板の配線パターンの一部を介して、第2基板103から第1基板100に導通させると共に、第1基板100では、グループ分けされた各発光素子チップアレイ(1-1)~(1-11)、(1-12)~(1-2

2) . . . (1-44) ~ (1-55) の 5 グループ (図 3 には、最初のグループのみが示されているが) に対して、それぞれ、前記信号線から並列に供給する分岐信号線が設けられている。

【0020】なお、上述の接続手段としてのフレキシブル配線基板では、走査信号 ϕ s、 ϕ 1、 ϕ 2 のための信号線が、そのフレキシブル配線基板の配線パターンの一部に割り当てられているが、同じフレキシブル配線基板の、残された配線パターンには、第 1 基板 100 上でグループ分けされた、所要個数の発光素子チップアレイ 101 に対応する個数の制御信号 ϕ I のための信号線を、通常のように、組み込んであり、これに対応する第 2 基板 103 上の駆動部の、駆動 IC チップ 110 に接続している。

【0021】なお、上述の実施の形態では、1 個の駆動 IC チップと 1 本のフレキシブル配線基板とが 11 チップの発光素子チップアレイを担当したが、更に担当数を増やせば、全配線本数は減少し、最も効果的には、1 組の走査信号 ϕ s、 ϕ 1、 ϕ 2 を、発光素子基板側で、全てのチップに並列に供給する場合が考えられる。この際 20 の全配線本数は $5 + 3 = 58$ 本となる。

【0022】このように、本発明によって、信号線の数が大幅に削減できることから、フレキシブル配線基板を、実施の形態のように 5 分割しないで、1 本で賄う形態にすることが可能であり、また、接続手段として、通常のフラットケーブルを用いたコネクタ接続などの手段を用いることもできる。また、信号線に共通に供給するための各発光素子チップの入力端の、 ϕ 1、 ϕ 2 の抵抗は、発光素子内部に設けてもよいし、チップ抵抗として、発光素子基板に設けてもよい。前者のように発光素 30 子内部に設けたものは、基板に対する実装がしやすくなり、後者のように基板側に設けたものは発光素子自体のコストを低減できる。

【0023】なお、上述の実施の形態は、記録素子として発光素子について説明したが、同様の、共用する走査手段を採用した構造は、そのチップ内部にある時分割駆

動可能な LED など、他の記録素子に対しても容易に適用できることは勿論である。

【0024】

【発明の効果】本発明は、以上説明したように、多数個の記録素子を線状に配列・実装した第 1 基板と、前記記録素子を駆動する駆動部を有する第 2 基板と、両基板間を電気的に接続する接続手段とを具有する記録ヘッドにおいて、前記記録素子に共通する駆動信号を供給する信号線を、前記接続手段を介して、第 2 基板から第 1 基板に導通させると共に、前記第 1 基板では、各記録素子に対して、前記信号線から並列に供給する分岐信号線が設けられているので、記録素子チップを実装する基板と、駆動部との間の配線本数を削減でき、結果として、接続手段のコスト低減や接続点数の削減による実装コストの低減、更には、接続部分の信頼性向上が図れる。

【図面の簡単な説明】

【図 1】本発明の照明装置の第 1 の実施の形態を示す概略的な構成平面図である。

【図 2】同じく、概略的な構成側面図である。

【図 3】同じく、要部を拡大して示す模式的な平面図である。

【図 4】本発明に係わる駆動 IC の等価回路図である。

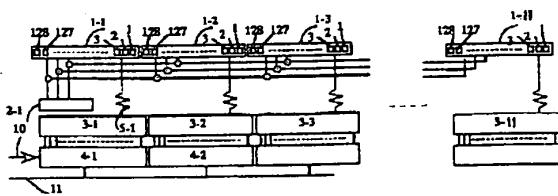
【図 5】同じく、駆動信号のタイミングチャートである。

【図 6】従前の構成の要部を示す模式的な平面図である。

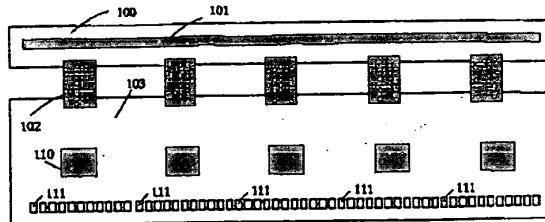
【符号の説明】

100	発光素子基板
101	発光サイリスタ (記録素子) アレイチップ
102	フレキシブル配線基板 (接続手段)
103	駆動基板
110	駆動 IC チップ
111	限流抵抗
115	集束光ファイバーアレイ
116	アルミの基材
201, 202, 203	信号線

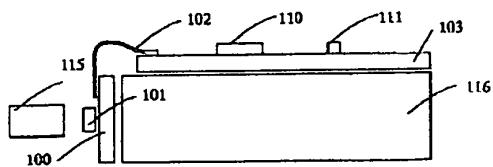
【図 1】



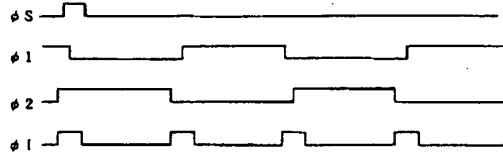
【図 2】



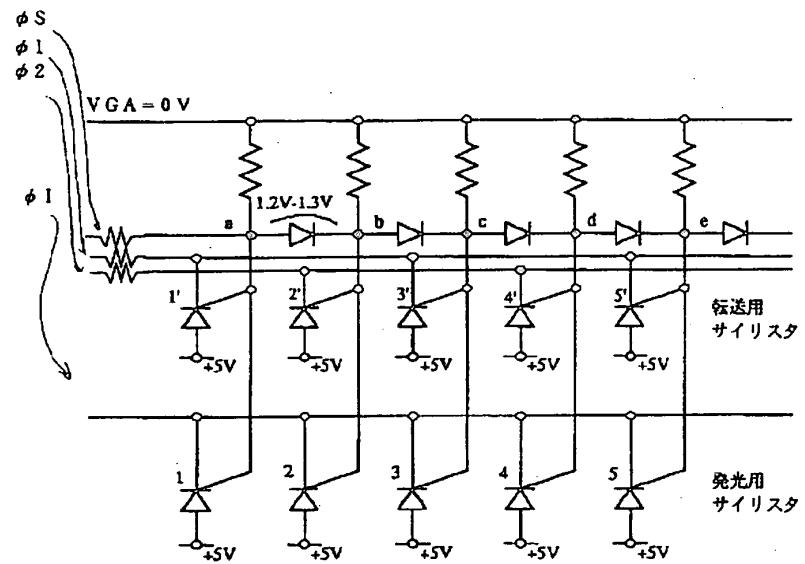
【図3】



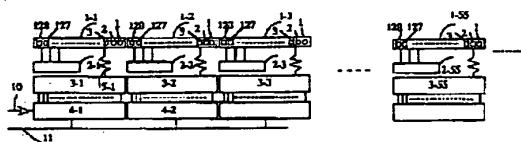
【図5】



【図4】



【図6】



フロントページの続き

(51) Int. Cl. 6

識別記号

府内整理番号

F I

技術表示箇所

H 0 4 N 1/036

(72) 発明者 島 茂雄

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内